



TITLE:

HPCにおけるCPU, アクセラレータの動向 (小特集: HPCにおける技術とその応用)

AUTHOR(S):

深沢, 圭一郎

CITATION:

深沢, 圭一郎. HPCにおけるCPU, アクセラレータの動向 (小特集: HPCにおける技術とその応用). シミュレーション 2017, 36(2): 76-78

ISSUE DATE:

2017-06

URL:

<http://hdl.handle.net/2433/244202>

RIGHT:

発行元の許可を得て登録しています.

HPC における CPU, アクセラレータの動向

深沢 圭一郎*

Trend of CPU and Accelerator in HPC

Keiichiro Fukazawa*

Key words: HPC, Supercomputer, CPU, GPU, Accelerator

1. これまでの HPC における CPU, アクセラレータ

HPC(High Performance Computing)は、スーパーコンピュータ(スパコン)での空力計算、流体計算から始まった(軍事利用除く)。いわゆるスパコンというと、CRAY-1が挙げられるように、当時はベクトル型CPUを搭載した計算機システムが流体計算に代表される科学技術計算に高い性能を発揮しており、様々なメーカーがベクトル型スパコンを作っていた。ベクトル型CPUはパイプライン処理による計算を行うCPUである。CRAYに対抗して、富士通、日立、NECもベクトル型スパコンを完成させ、1980~90年代日本のスパコンセンタにはこれらのスパコンが多数導入されていた¹⁾。

しかしながら、ベクトル型CPUの開発コストが高いこと、また、コモディティで利用されてきたスカラ型CPUの性能が向上してきたことも有り、富士通、日立はベクトル型スパコンからスカラ型スパコンに舵を切った。この時に利用されたスカラ型CPUはメインフレームで利用されてきたRISC型であり、SPARC系(富士通)、POWER系(日立)が採用されている。現在NECのSXシリーズがスパコン唯一のベクトル型計算機システムとなっている。

一方でIntelがパソコンに利用されていたx86系CPUを改良したXeonを発表し²⁾、PCクラスタ型スパコンも徐々に増えてきた³⁾。IntelはIA-64アーキテクチャCPUのItaniumもリリースしたが、目立った動きはなかったのでここでは割愛する。スカラ型スパコンは、CPUが汎用型CPUからの転用であり、コスト

は低い、単一CPUでの性能も低く、並列に複数システムをつなぐことで、性能向上を実現していた。この構成は現在のスパコンシステムと同じである。

前述のようにスカラ型CPUは単一CPUでの性能が低いため、アクセラレータにより性能を向上させる動きが出てきた。東京工業大学のTSUBAME1.0では世界に先駆けて、アクセラレータ(Clear Speed CSX600)付きスパコンを導入している⁴⁾。同時期にNVIDIAが自社GPUを汎用計算に利用できるCUDAを発表し⁵⁾、HPCでアクセラレータが利用される切っ掛けとなっている。

2. 最近のCPU動向

近年は発熱、消費電力問題からCPU周波数向上が難しくなっており、CPU性能の向上がマルチコア化、サイクル当たりの浮動小数点演算数の増加により行われている。現在のスパコンシステムで大部分を占めるXeonはマルチコア化が進み、Broadwell世代では16コアを超えるものもある。また、XeonではSSE(128bit SIMD)、AVX(256bit SIMD)、AVX2(256bit SIMD+2FMA)と浮動小数点演算数を増加させCPU性能の向上を達成している²⁾。SIMDはSingle Instruction Multiple Dataの略であり、一つの命令を複数のデータに適用することで、同時に計算を行う技術である。bit数が同時に命令を適用できる浮動小数点データを示しており、例えば256bit SIMDでは同時に四つの倍精度浮動小数点演算が可能である。SIMD演算はベクトル計算機のパイプライン処理とは異なる。Sandy Bridge世代でマイクロアーキテクチャの変更によりAVXを導入したことで、理論性能を高くできるため、周波数をWestmere世代よりも低く抑えるようになっている。

* 京都大学学術情報メディアセンター
Academic Center for Computing and Media Studies,
Kyoto University

更に, Sandy Bridge 世代以降の Xeon では CPU の消費電力をユーザがコントロールしやすくなっている。これにより, 夏場などに利用電力制限がある場合でも, 計算機システムが過剰に電力を使わないようなスパコンセンタでの運用が可能となっている(詳細は「HPC システムのための電力管理技術への取り組み」を参照)。

京コンピュータに利用されている SPARC64 系は, 京コンピュータ (SPARC64 VIIIfx) での 8 コア, 8 浮動小数点演算実行から, FX10 (SPARC64 IXfx) で 16 コア, 8 浮動小数点演算実行, FX100 (SPARC64 XIfx) では 32 コア + 2 アシスタントコア, 16 浮動小数点演算実行と Xeon と同様に性能向上が進んでいる⁶⁾。また, FX100 では HMC (Hybrid Memory Cube) と呼ばれる積層型メモリを採用し, スカラ型 CPU でのウイークポイントの一つであったメモリバンド幅を向上させている。計算機システムの実効性能を測る指数として, B/F 値 (メモリバンド幅/Flops (浮動小数点演算数/秒)) をよく使うが, 前述のような CPU 性能向上 (Flops 向上) の一方, メモリのバンド幅はそれほど向上しておらず, B/F 値が低くなってしまっていた。つまり計算は同時に沢山できるが, そこにデータを供給する道幅が少ないという状態であった。理論性能を上げるために, CPU は様々な技術が導入されたが, アプリケーション実行時に重要な実効性能はそこまで向上しておらず, 積層メモリなど高バンド幅を達成できる技術の普及が待たれる (後述の Xeon Phi KNL でも実装されている)。

アクセラレータ系では, Intel が GPU に対抗して, メニーコアチップを開発している²⁾。初の商用版は Xeon Phi KNC (Knights Corner) であり, Pentium 世代のコアをベースに 60 コア前後, 512bit SIMD, FMA により 16 浮動小数点演算が実行可能であった。周波数は約 1GHz となっており, 理論性能はおよそ 1TFlops となっている。Xeon Phi は GPU などのアクセラレータと異なり, x86 ベースのため, アプリケーションのソースコードに変更を加えることなく, コンパイル後に実行できる (Xeon Phi KNC では Native モード)。最近では第 2 世代 Xeon Phi KNL (Knights Landing) がリリースされており, アーキテクチャを Atom に利用された Silvermont マイクロアーキテクチャに変更し, 命令を並び順に実行せず順序を変更して効率的に実行可能なアウトオブオーダー (OoO) 実行が可能となっている。また, 周波数が約 1.4 GHz コア数は約 70 コア, 512 bit SIMD (AVX-512) × 2 により, 約 3TFlops の理論性能となっている。Xeon Phi KNL では MCDRAM と呼ばれる積層型メモリがオンチップで搭載されてお

り, メモリバンド幅向上がなされている。Xeon Phi KNL では計算機システム構築時に CPU が不要無く, 単体で動作可能となっている。

GPU は HPC 向けに Tesla が導入されている⁵⁾。第 1 世代の Tesla は, 単精度演算性能は 1TFlops を越え, 非常に高い性能を示したが, 倍精度演算性能が低く, 科学技術計算に利用が難しかった。それに対し, 第 2 世代 Tesla (Fermi マイクロアーキテクチャ) では, 倍精度演算性能が単精度の半分まで引き上げられ, HPC 分野での利用が広がってきた。その後は, 単精度性能に対する倍精度性能は高くなかったが, 第 3 世代 Tesla (Kepler マイクロアーキテクチャ) では, 単精度の性能が 3TFlops を越えることもあり, 倍精度の性能も 1TFlops を越えるようになっている。最新の第 5 世代 Tesla (Pascal マイクロアーキテクチャ) では再び倍精度演算性能が単精度の半分になっており, 4TFlops を越える倍精度演算性能を達成している。また, GPU は PCI-Express を経由して, CPU, メインメモリ, ノード間ネットワークにアクセスしており, CPU に比べて, その PCI-Express のバンド幅がボトルネックになっていた。第 5 世代 Tesla では, NVLink と呼ばれる専用のインターコネクトが搭載され, GPU 同士の接続や NVLink を持つ CPU とダイレクトに高速に接続が可能となっている。また, Tesla は元が GPU という構成から GDDR メモリを搭載していたが, 第 5 世代 Tesla では, 積層型メモリの一つである HBM (High Bandwidth Memory) を搭載し, メモリバンド幅が大きく向上している。

これまで出てきたように, 近年 SIMD の幅を大きくすることで, CPU もメニーコアチップも性能向上を行っている (GPU は異なる)。この SIMD 性能をアプリケーションから最大限に使うことは難しく (SIMD bit 数に合わせた計算が必要), 周波数向上ほどアプリケーションの実行性能向上には寄与していない。また, コア数の増加は実効性能向上効果があるが, 並列化効率の問題から, アプリケーション次第では 50% 程度の効率しか出ないこともある。一般的に流体系アプリケーションは並列化効率が 90% を越えるため, 影響は少ない。

最後に, 他のアクセラレータ, メニーコアプロセッサとして, 日本の企業である PEZY Computing が開発している PEZY-SC プロセッサや, 現在 Top500 (2016/11) の 1 位である中国国産スパコン Sunway TaihuLight に搭載されている Shenwei26010 プロセッサがある。PEZY-SC は 1024 コアからなる MIMD アーキテクチャプロセッサで, 倍精度 1.5TFlops の性能に対

して消費電力が低い構成となっている⁷⁾。この MIMD は、Multiple Instruction Multiple Data であり、SIMD と違い複数命令を複数データに適用する技術を意味し、利用効率を高めるプログラミングが難しい。実際に性能を出すには、初期の Tesla のようにキャッシュとローカルメモリの階層性をうまく使う必要があるなど、難しいところもあるが、消費電力当たりの性能が非常に優れており、今後が期待されるプロセッサである。

Shenwei26010 プロセッサは OS などコントロール用コア (MPE) が 4 コア、計算を担当するコア (CPE) が 256 コアある RISC 型メニーコアプロセッサである⁸⁾。理論性能は MPE と CPE 合わせて、約 3TFlops (256bit SIMD, FMA) となっている。MPE は通常の CPU にあたり、CPE はアクセラレータにあたる。こちらも性能を出すためには CPE の構成などを考慮するプログラムを行う必要があると考えられるが、消費電力も優れているため、PEZY 同様に期待されるプロセッサである。

3. これからの動向

Xeon や Xeon Phi は Intel のロードマップから今後数年のリリース予定が分かるが、現状からの大きな変更は無い²⁾。Skylake 世代の Xeon で AVX-512 が採用され、OPA インターコネク트가オンチップになるなどの改良が行われる予定である。また、次期 Xeon Phi Knights Mill では機械学習向けに単精度の演算性能を向上させるという情報も出ているが、科学技術計算にはあまり影響がない改良かもしれない。

2017 年の始めに AMD がコンシューマ向けに新しい Zen マイクロアーキテクチャの CPU をリリースしている (Ryzen)。Zen マイクロアーキテクチャは AMD 前世代のアーキテクチャとは大きく設計を変え、性能を高めている⁹⁾。HPC 向けには Naples と呼ばれる CPU が開発されており、Xeon と比べて、コア数、メモリチャンネル数で優位性がある。現在 HPC 向け CPU は Intel、Xeon のほぼ独占³⁾だが、Naples が Intel の牙城を崩せるのか注目したい。

2020 年に向けて、日本はフラッグシップ 2020¹⁰⁾ というプロジェクトを立ち上げ、京コンピュータの後継機を開発している。この京コンピュータの後継機では SPARC64 アーキテクチャではなく、ARMv8 アーキテクチャが利用される¹¹⁾。ARM はスマートフォンや組み込み系の CPU に利用されている低消費電力 CPU

アーキテクチャである。この ARMv8 をベースに富士通が HPC 拡張 (SVE) し、CPU を開発することになっている。この CPU は FX100 の倍程度のコア数が計画され、SIMD 幅が 512bit と京の 4 倍、FX100 の 2 倍となり、理論性能が高くなる。しかし、前述のように実アプリケーションの演算をこの SIMD 幅に完全に最適化することは難しい。ベクトル時代のように、ベクトル最適化したコードはある程度何もしなくても次世代計算機で動いた時代と変わり、スパコンが新しくなる度にアプリケーションの最適化が必要な時代となっている。フラッグシップ 2020 ではアプリケーションとハードウェアの co-design というテーマがあるが、九つの重点分野に、それぞれ複数のアプリケーションがあり、ハードウェアには様々な制約があるなかで、すべてのアプリケーションに最適な計算機の実現は難しい。ハードウェア開発者とアプリケーション開発者が計算機システム開発後も共同研究し、最適化を進め、お互いの知見を蓄積していくことが、計算機システムの性能を高効率に実利用するために重要である。

参 考 文 献

- 1) IPSJ コンピュータ博物館
<http://museum.ipsj.or.jp/>
- 2) インテル製マイクロプロセッサの歴史
<http://www.intel.co.jp/content/www/jp/ja/innovation/hof.html>
- 3) Top500
<https://www.top500.org/>
- 4) GSIC 年報 2005・2006 年度 第 5 号
<http://www.gsic.titech.ac.jp/sites/default/files/pdf/nenpou2005-2006.pdf>
- 5) NVIDIA Tesla
<http://www.nvidia.co.jp/object/tesla-supercomputing-solutions-jp.html>
- 6) 富士通 SPARC64 プロセッサの軌跡
<http://jp.fujitsu.com/platform/server/advantages/sparc64processor/>
- 7) 石井敬, PEZY-SC の紹介, Shoubu ワークショップ, 2015 年 8 月 25 日。
- 8) Haohuan Fu, The Sunway TaihuLight Supercomputer: the Design of the Processor and the System, Cool Chips 20, 19-21 April, 2017.
- 9) AMD Zen マイクロアーキテクチャ
<https://www.amd.com/ja/technologies/zen-core>
- 10) フラッグシップ 2020 プロジェクト
<http://www.aics.riken.jp/fs2020p/>
- 11) Nigel Stephens, ARMv8-A Next Generation Vector Architecture for HPC, Hot Chips 28, 21-23 August 2016.